

11597288

Basic Patent (No,Kind,Date): GB 9324090 A0 19940112 <No. of Patents: 009>

A DRIVING CIRCUIT FOR USE IN A DISPLAY APPARATUS (English)

Patent Assignee: SHARP KK

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
GB 9324090	A0	19940112	GB 9324090	A	19931123	(BASIC)
GB 2273194	A1	19940608	GB 9324090	A	19931123	
GB 2273194	B2	19960508	GB 9324090	A	19931123	
JP 6161379	A2	19940607	JP 92313712	A	19921124	
JP 6161380	A2	19940607	JP 92313713	A	19921124	
JP 2752554	B2	19980518	JP 92313712	A	19921124	
JP 2752555	B2	19980518	JP 92313713	A	19921124	
KR 9704242	B1	19970326	KR 9325215	A	19931123	
US 5400050	A	19950321	US 156306	A	19931123	

Priority Data (No,Kind,Date):

JP 92313712 A 19921124

JP 92313713 A 19921124

04517480 **Image available**
DRIVING CIRCUIT OF DISPLAY DEVICE

PUB. NO.: **06-161380** [JP 6161380 A]

PUBLISHED: June 07, 1994 (19940607)

INVENTOR(s): SASAKI OSAMU
MATSUMOTO TOSHIO
AKEHI YASUNAO

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-313713 [JP 92313713]

FILED: November 24, 1992 (19921124)

INTL CLASS: [5] G09G-003/20; G02F-001/133; G09G-003/36

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --
Optical Equipment)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
Metal

Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 1798, Vol. 18, No. 484, Pg. 48,
September 08, 1994 (19940908)

ABSTRACT

PURPOSE: To reduce the operation speed of shift registers by plural shift registers and to make a display of high resolution without deforming the waveform of a video signal.

CONSTITUTION: The shift registers 11-14 output such signals that successive periods of a high level overlap with each other and also deviate. Consequently, the shift registers 11-14 can be placed in low-speed operation. Further, control signals generating means 51, 52... output AND signals between a signal generated by inverting one of the signals SR1, SR2... from the shift registers 11-14 and another signal having a high level in a period overlapping with a high-level period of the signal, and the other signal as control signals Sa1, Sa2.... Switch means 21, 22... are turned ON and OFF according to the control signals and shortened in period of conduction, and loads of sampling capacitors 41, 42... on a video signal electric conductor 30 is reduced.

特開平6-161380

(43)公開日 平成6年(1994)6月7日

(51) Int. Cl. 5
 G09G 3/20 R 7335-5G
 G02F 1/133 550 9226-2K
 G09G 3/36 7319-5G

F I

審査請求 未請求 請求項の数2 (全10頁)

(21)出願番号 特願平4-313713

(22)出願日 平成4年(1992)11月24日

(71)出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号

(72)発明者 佐々木 修
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内

(72)発明者 松本 俊夫
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内

(72)発明者 明比 康直
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内

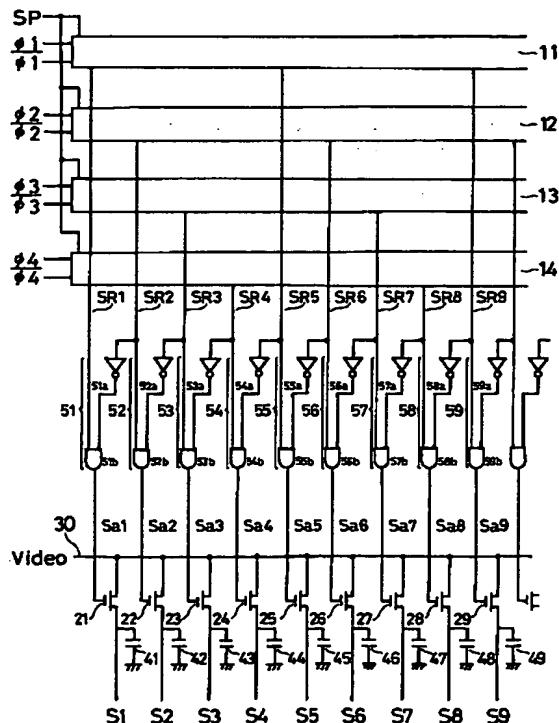
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】表示装置の駆動回路

(57)【要約】

【目的】 表示装置の駆動回路において、複数系統のシフトレジスタによってシフトレジスタの動作速度を低減するとともに、ビデオ信号の波形をくずすことなく水平解像度の高い表示を行う。

【構成】 複数系統のシフトレジスタ 11～14によって、相前後してハイレベルである期間の一部が重なると共に、その期間がずれた信号を出力させる。よって、従来と同様な低速度でシフトレジスタ 11～14を動作させることができる。更に、シフトレジスタ 11～14からの信号 S R 1、S R 2、…のうちの1信号と、その1信号のハイレベルである期間と重なるハイレベルである期間を有する別の信号とのうち、何れか一方の信号を反転させた信号と、他方の信号との論理積信号を制御信号 S a 1、S a 2、…として、制御信号発生手段 51、52、…が output する。スイッチ手段 21、22、…はその制御信号 S a 1、S a 2、…に基づいて ON/OFF 制御され、導通する期間が従来より短くなり、ビデオ信号配線 30に対するサンプリングコンデンサ 41、42、…の負荷が低減される。



【特許請求の範囲】

【請求項 1】 ビデオ信号をデータ線へ出力する表示装置の駆動回路において、

相前後する信号をハイレベルである期間の一部を重ねると共に、該期間をずらして出力する複数系統のシフトレジスタと、

該シフトレジスタからの信号のうちの 1 信号と、該 1 信号のハイレベルである期間と重なるハイレベルである期間を有する別の信号とのうち、何れか一方の信号を反転させた信号と、他方の信号とが同時にハイレベルである期間をアクティブとする制御信号を出力する制御信号発生手段と、

該制御信号に基づいて ON/OFF が制御されるスイッチ手段と、

該スイッチ手段を介して、該ビデオ信号をサンプリングするサンプリングコンデンサとを備えた表示装置の駆動回路。

【請求項 2】 前記シフトレジスタが、双方向にシフト可能である請求項 1 に記載の表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス型液晶表示装置等の表示装置において、ビデオ信号をデータ信号線へ出力する表示装置の駆動回路に関する。

【0002】

【従来の技術】 上記アクティブマトリクス型液晶表示装置は、マトリクス状に形成された画素を薄膜トランジスタ等のスイッチング素子によって各々駆動することにより表示を行う。従来のアクティブマトリクス型液晶表示装置として、画素が形成されている表示部と、画素を駆動するデータ信号線駆動回路（以下「ソースドライバ」と称す。）とを同一基板に形成したドライバモノシリック型表示装置が知られている。このドライバモノシリック型表示装置は、製造過程において、画素のスイッチング素子とソースドライバとを同じプロセスで作り込むので、画素のスイッチング素子とソースドライバを構成する素子とは、同一構造であることが望ましい。透過型表示装置では、スイッチング素子を石英ガラスなどの透明基板に薄膜プロセスにより形成しなければならない一方で、ソースドライバを構成する素子は、必要な動作速度が得られなければならない。これらのことから、通常多結晶シリコンの薄膜トランジスタ（以下、「ポリシリコン TFT」と称す。）が、画素のスイッチング素子及びソースドライバを構成する素子として用いられる。

【0003】 このポリシリコン TFT は、その移動度が概略 $1.0 \sim 1.00 \text{ cm}^2/\text{V}\cdot\text{s}$ 程度であり、ポリシリコン TFT を用いて構成されるシフトレジスタにおいて安定して動作する限界の動作速度は、現状では最高で数 MHz 程度である。ところが、画素数のかなり多い表示装置、例えば水平画素数が 720 個である NTSC-T

V (National Television System Committee television) ディスプレイにおいては、ソースドライバを構成するシフトレジスタには 14.4 MHz の動作速度が要求される。そこで、シフトレジスタの動作速度を低速化させたソースドライバが使用される。

【0004】 図 8 に、シフトレジスタの動作速度を低速化させたソースドライバの構成図を示す。このソースドライバは、図示するように、4 系統のシフトレジスタ 1 1 ~ 1 4 と、シフトレジスタ 1 1 ~ 1 4 に開閉を制御され

10 られたサンプリングアナログスイッチ 2 1、2 2、…と、ビデオ信号 Video が送られるビデオ信号配線 3 0 と、スイッチ 2 1、2 2、…を介してビデオ信号配線 3 0 と接続されたサンプリングコンデンサ 4 1、4 2、…とから構成されている。図示しない画素に接続されたデータ信号線 S 1、S 2、…は、スイッチ 2 1、2 2、…とサンプリングコンデンサ 4 1、4 2、…との間に分岐して接続されている。データ信号線 S 1、S 2、…は、連続する 4 本、例えば S 1、S 2、S 3 及び S 4 を 1 組とし、各々異なるシフトレジスタ 1 1 ~ 1 4 に制御されたスイッチ 2 1、2 2、…に接続されている。詳細には、シフトレジスタ 1 1 は 3 本おきにデータ信号線 S 1、S 5、S 9、…に接続され、又シフトレジスタ 1 2 は 3 本おきにデータ信号線 S 2、S 6、…に接続されている。シフトレジスタ 1 3、1 4 についても同様に、3 本おきにデータ信号線 S 3、S 4、…に接続されている。

【0005】 上記構成において、スイッチ 2 1、2 2、…は、ビデオ信号配線 3 0 に印加されるビデオ信号 Video をサンプリングするためのものである。サンプリングコンデンサ 4 1、4 2、…は、サンプリングしたビデオ信号 Video を保持するためのものである。

【0006】 上記ソースドライバの動作を、図 9 に示すタイムチャートに基づいて説明する。4 系統のシフトレジスタ 1 1 ~ 1 4 の起動は、各シフトレジスタ 1 1 ~ 1 4 に共通のシフトスタートパルス S P で制御される。シフトレジスタ 1 1、1 2、1 3、1 4 はそれぞれ位相の異なるシフトクロック ϕ 1 及びその反転信号 ϕ 1バー、ϕ 2 及びその反転信号 ϕ 2バー、ϕ 3 及びその反転信号 ϕ 3バー、ϕ 4 及びその反転信号 ϕ 4バーにより制御される。隣合うサンプリングアナログスイッチ 2 1、2 2、…に対応するシフトクロック ϕ 1 ~ ϕ 4、ϕ 1バー ~ ϕ 4バーは、それぞれシフトパルス幅 τ 0 の $1/8$ の時間幅だけ位相がずれている。その結果、シフトレジスタ 1 1 ~ 1 4 の出力であるサンプリングスイッチ制御信号 S R 1、S R 2、…は、それぞれシフトパルス幅 τ 0 の $1/8$ の時間幅だけ位相のずれた波形となる。スイッチ 2 1、2 2、…は、サンプリングスイッチ制御信号 S R 1、S R 2…がハイレベルの期間に導通する。スイッチ 2 1、2 2、…が導通している期間 τ 0 に、サンプリングコンデンサ 4 1、4 2、…にビデオ信号 Video がサンプリングされる。しかし、実際に、サンプリングコンデ

40

シフトレジスタ 1 1 ~ 1 4 の出力であるサンプリングスイッチ制御信号 S R 1、S R 2、…は、それぞれシフトパルス幅 τ 0 の $1/8$ の時間幅だけ位相のずれた波形となる。スイッチ 2 1、2 2、…は、サンプリングスイッチ制御信号 S R 1、S R 2…がハイレベルの期間に導通する。スイッチ 2 1、2 2、…が導通している期間 τ 0 に、サンプリングコンデンサ 4 1、4 2、…にビデオ信号 Video がサンプリングされる。しかし、実際に、サンプリングコンデ

ンサ41、42、…に保持されるのは、スイッチ21、22、…が、ONからOFFに切り替わる時点に保持されたビデオ信号Videoの電圧となる。

【0007】以上のように動作するので、上記ソースドライバにおける各制御信号 S R 1、S R 2 …相互間の時間のずれを、シフトレジスタが1系統のみのソースドライバにおける場合と同様になるようにしても、上記ソースドライバにおけるシフトパルス幅 τ_0 は、1系統のみのシフトレジスタを有するソースドライバのシフトパルス幅の4倍にでき、各系統のシフトレジスタ 1 1～1 4 を低速で動作させることができることになる。

[0 0 0 8]

【発明が解決しようとする課題】ところで、上述したように、相前後するサンプリングスイッチ制御信号SR1、SR2、…のハイレベルである期間が互いにオーバーラップしている。そのため、例えば8個の制御信号SR1～SR8が同時にアクティブになっており、8個のサンプリングスイッチ21～28が同時に導通状態となる。すなわち、ビデオ信号Videoは8個のスイッチ21～28を通し、8個のサンプリングコンデンサ41～48へと供給される。これは、8個の制御信号SR2～SR9にも同様であり、結果的に、ビデオ信号配線30、あるいはビデオ信号Videoを出力する回路部に対しては、常に8個分のサンプリングコンデンサ41、42、の容量が負荷となる。更に、ビデオ信号配線30の配線抵抗が存在するため、RC積分回路が構成されていることになる。従って、サンプリングコンデンサ41、42、…では、このRC積分回路の作用によりビデオ信号Videoに対する応答が悪化し、もとのビデオ信号Videoと比べ波形がくずれたものとなる。そのようなくずれた波形を有する信号は、液晶表示装置入力部に於て本来ビデオ信号Videoがもっていた帯域情報が失われているので、くずれた波形を有する信号に基づく映像表示では、水平解像度の低くなるという問題が生じる。

【0009】本発明は、上記従来技術の問題点を解決すべくなされたものであり、複数系統のシフトレジスタによってシフトレジスタの動作速度を低減するとともに、ビデオ信号の波形をくずすことなく水平解像度の高い、ドライバモノリシック液晶表示装置を用いた表示を行うことのできる表示装置の駆動回路を提供することを目的とする。

[0 0 1 0]

【課題を解決するための手段】本発明の液晶表示装置の駆動回路は、ビデオ信号をデータ線へ出力する表示装置の駆動回路において、相前後する信号をハイレベルである期間の一部を重ねると共に、該期間をずらして出力する複数系統のシフトレジスタと、該シフトレジスタからの信号のうちの1信号と、該1信号のハイレベルである期間と重なるハイレベルである期間を有する別の信号とのうち、何れか一方の信号を反転させた信号と、他方の

信号とが同時にハイレベルである期間をアクティブとする制御信号を出力する制御信号発生手段と、該制御信号に基づいてON/OFFが制御されるスイッチ手段と、該スイッチ手段を介して、該ビデオ信号をサンプリングするサンプリングコンデンサとを備えており、そのことによって上記目的が達成される。

【0011】前記シフトレジスタが、双方向にシフト可能であってもよい。

〔0012〕

10 【作用】本発明の表示装置の駆動回路においては、複数系統のシフトレジスタによって、相前後してハイレベルである期間の一部が重なると共に、その期間がずれた信号を出力させる。よって、従来と同様な低速度でシフトレジスタを動作させることができる。

【0013】更に、シフトレジスタからの信号のうちの1信号と、その1信号のハイレベルである期間と重なるハイレベルである期間を有する別の信号とのうち、何れか一方の信号を反転させた信号と、他方の信号との間で同時にハイレベルである期間について、制御信号発生手

20 段がアクティブとする制御信号を出力する。スイッチ手段はその制御信号に基づいてON/OFF制御され、導通する期間が従来より短くなり、ビデオ信号送信用の配線に対するサンプリングコンデンサの負荷が低減される。

[0014]

【実施例】本発明を実施例について以下に説明する。

〔0015〕<第1実施例>図1に、本発明を適用したソースドライバの構成図を示す。図8に示す従来のソースドライバと同一構成部分には同一符号を付記している。

【0016】本実施例のソースドライバは、図示するよう
に、4系統のシフトレジスタ11～14と、シフトレ
ジスタ11～14に開閉を制御されたサンプリングアナ
ログスイッチ21、22、…と、シフトレジスタ11～
14とスイッチ21、22、…の間に設けられた制御信
号発生手段51、52、…と、ビデオ信号Videoが送ら
れるビデオ信号配線30と、スイッチ21、22、…を
介してビデオ信号配線30と接続されたサンプリングコ
ンデンサ41、42、…とから構成されている。図示し
40 ない画素に接続されたデータ信号線S1、S2、…は、
スイッチ21、22、…とサンプリングコンデンサ4
1、42、…との間に分岐して接続されている。データ
信号線S1、S2、…は、連続する4本、例えばS1、
S2、S3及びS4を1組とし、各々異なるシフトレジ
スタ11～14に制御されたスイッチ21、22、…に
接続されている。詳細には、シフトレジスタ11は3本
おきにデータ信号線S1、S5、S9、…に接続され、
又シフトレジスタ12は3本おきにデータ信号線S2、
S6、…に接続されている。シフトレジスタ13、14
50 についても同様に、3本おきにデータ信号線S3、S

4、…に接続されている。

【0017】上記構成において、スイッチ21、22、…は、NMOS (N-channel metaloxide semiconductor) で構成されており、ビデオ信号配線30に印加されるビデオ信号Videoをサンプリングするためのものである。サンプリングコンデンサ41、42、…は、サンプリングしたビデオ信号Videoを保持するためのものである。各制御信号発生手段51、52、…は、インバータ51a、52a、…と、その出力に接続されたANDゲート51b、52b、…とによって構成されている。インバータ51a、52a、…には、シフトレジスタ11～14の出力信号が入力されている。ANDゲート51b、52b、…には、シフトレジスタ11～14から、インバータ51a、52a、…に入力されている信号とは別の信号が入力されており、ANDゲート51b、52b、…の出力信号がスイッチ21、22、…を制御する。

【0018】図2及び図3に、上記ソースドライバに用いられたシフトレジスタ11～14の回路図を示す。図中のクロックドインバータには、各々そのクロックドインバータを制御する信号の種類を付記している。4系統のシフトレジスタ11～14は、それぞれ同じ回路構成であり、図2に示すように、インバータとクロックドインバータとを組み合わせた回路である。シフトレジスタ11～14の回路構成は、図3で示すように、双方向シフト対応の回路構成であってもよい。

【0019】図4に、上記シフトレジスタ11～14におけるタイムチャートを示す。シフトレジスタ11～14は、図示するように、シフトスタートパルスSPとシフトクロック ϕ_i 及びその反転信号 ϕ_i バーとにより制御される。その結果、シフトレジスタ11～14は、信号O1、O2、…に示すように、パルス幅 τ_0 を有するシフトパルスを順次出力する。

【0020】尚、図3に示す双方向対応のシフトレジスタ11～14においては、シフト方向設定用の信号R、Lに基づきシフト方向が制御される。信号Rがハイレベルであり、且つ信号Lがローレベルである場合は、信号Rにより制御されるクロックドインバータは常時、反転信号を出力し、信号Lにより制御されるクロックドインバータは常時、出力ハイインピーダンスとなって、図面の左方向から右方向へシフトするシフトレジスタとなる。また、信号Rがローレベルであり、且つ信号Lがハイレベルである場合は、その反対で、図面の右方向から左方向へシフトするシフトレジスタとなる。しかし、シフトクロック ϕ_i 、 ϕ_i バーに対しての動作は、図2に示すシフトレジスタ11～14の場合と同様に考えてよく、図4に示すタイムチャートは、信号Rがハイレベルであり、且つ信号Lがローレベルである場合に該当する。

【0021】上記ソースドライバの動作を、図5に示す

10

20

30

40

タイムチャートに基づいて説明する。4系統のシフトレジスタ11～14の起動は、上述したように、シフトスタートパルスSPにより制御される。このシフトスタートパルスSPは、各シフトレジスタ11～14に共通の信号でよい。シフトレジスタ11、12、13、14はそれぞれ位相の異なるシフトクロック ϕ_1 及びその反転信号 ϕ_1 バー、 ϕ_2 及びその反転信号 ϕ_2 バー、 ϕ_3 及びその反転信号 ϕ_3 バー、 ϕ_4 及びその反転信号 ϕ_4 バーにより制御される。隣合うサンプリングアナログスイッチ21、22、…に対応するシフトクロック ϕ_1 ～ ϕ_4 、 ϕ_1 バー～ ϕ_4 バーは、それぞれシフトパルス幅 τ_0 の1/8の時間幅だけ位相がずれている。その結果、シフトレジスタ11～14の出力信号SR1、SR2、…においては、隣合う制御信号発生手段51、52、…に出力される信号は、それぞれシフトパルス幅 τ_0 の1/8の時間幅だけ位相のずれた波形となる。尚、図4に示すシフトレジスタ11～14の出力信号O1、O2、…は、図5に示すシフトレジスタ11～14の出力信号SR1、SR2、…において、3本おきの信号、例えばSR1、SR5、SR9、…に該当する。

【0022】本実施例のソースドライバにおいては、シフトレジスタ11～14の出力信号SR1、SR2、…のうちの、ある出力信号SRj (jは1以上の整数)と、その出力信号SRjより1本後の信号SRj+1をインバータ51a、52a、…によって反転させた信号SRj+1バーとをANDゲート51b、52b、…に入力し、両者の論理積の信号Sa jを得る。この出力信号Sa1、Sa2、…を、NMOSで形成されたサンプリングアナログスイッチ21、22、…に入力し、ON/OFF制御する。ONの時にはスイッチ21、22、…を導通させて、スイッチ21、22、…と接続されたサンプリングコンデンサ41、42、…をビデオ信号Videoの電圧まで充電する。その後、サンプリングコンデンサ41、42、…は、対応するスイッチ21、22、…がONからOFFに切り替わる時点におけるビデオ信号Videoの電圧レベルをそのまま保持する。この保持された電圧が、液晶表示装置のデータ信号線S1、S2、…への入力信号となる。

【0023】上述のように動作するソースドライバにおいては、サンプリングアナログスイッチ21、22、…を制御する信号Sa1、Sa2、…は、制御信号発生手段51、52、…により、図5のタイムチャートに示すように、1/8 τ_0 のパルス幅を有する信号となっている。そのため、2つ以上のサンプリングアナログスイッチ21、22、…が同時に導通することはなく、ビデオ信号配線30に対する負荷は、常にただ1個のサンプリングコンデンサ41、42、…の容量となる。

【0024】上述した従来例においては、シフトレジスタ11～14の出力信号SR1、SR2、…によりサンプリングアナログスイッチ21、22、…のON/OFF

50

Fを制御している。その結果、常に8個のサンプリングコンデンサ41、42、…の容量がビデオ信号配線30に対する負荷となっている。これに対し、本実施例のソースドライバにおいては、上述のように、ビデオ信号配線30に対する負荷は1個のサンプリングコンデンサ41、42、…であるため、RC時定数も従来の1/8となる。従って、RC積分回路の作用によるビデオ信号Videoの波形くずれ(波形なまり)を従来よりも小さく抑えることができ、水平解像度の高い表示を行うことができる。

【0025】尚、本実施例の制御信号発生手段51、52、…において、シフトレジスタ11～14の出力信号SR1、SR2、…のうちの、ある出力信号SRjと組み合わせて論理積をとる信号は、その出力信号SRjと同時にアクティブを出力している期間を有する信号の反転信号であればよく、例えば2本後の出力信号SRj+2の反転信号SRj+2バー等にしてもよい。このように、信号SRjと信号SRj+2バーとの論理積をとる場合には、2個のサンプリングアナログスイッチ2j及び2j+1が同時に導通となる。しかし、従来例と比べるとその数は減っており、やはり水平解像度の向上効果が期待できる。

【0026】<第2実施例>図6に、本発明を適用した他のソースドライバの構成図を示す。図1に示す第1実施例と同一構成部分には同一符号を付記している。本実施例においては、シフトドライバ11～14を図3に示す回路構成に限定し、ソースドライバを双方向へシフト可能にする。そのために、制御信号発生手段51～5nの構成が第1実施例と異なるが、他の構成要素については、第1実施例と同様である。

【0027】本実施例の制御信号発生手段は51～5nは、それぞれ右シフト用クロックドインバータ51c～5ncと、左シフト用クロックドインバータ51d～5ndと、両者の出力に接続されたANDゲート51b～5nbによって構成されている。右シフト用クロックドインバータ51c～5nc及び左シフト用クロックドインバータ51d～5ndには、それぞれシフトレジスタ11～14の出力信号SR1～SRnが入力され、左シフト用クロックドインバータ51d～5ndに入力される信号SR1～SRnの2本後の信号SR1～SRnが対応する右シフト用クロックドインバータ51c～5ncに入力される。ANDゲート51b～5nbには、右シフト用クロックドインバータ51c～5ncの入力信号SR1～SRnと左シフト用クロックドインバータ51d～5ndの入力信号SR1～SRnとの間の信号SR1～SRnが入力されており、ANDゲート51b～52bの出力信号Sa1～Sanがスイッチ21～2nを制御する。

【0028】本実施例ソースドライバの動作を、図5及び図7に示すタイムチャートに基づいて説明する。ソ

スドライバを右方向にシフトさせる場合が図5であり、左方向にシフトさせる場合が図7である。

【0029】上記制御信号発生手段51～5nにおいては、シフト方向設定用の信号R、Lに基づきシフト方向が制御される。信号Rがハイレベルであり、且つ信号Lがローレベルである場合は、信号Rにより制御される右シフト用クロックドインバータ51c～5ncは常時、反転信号を出力し、信号Lにより制御される左シフト用クロックドインバータ51d～5ndは常時、出力ハイ

10 インピーダンスとなって、図2に示すように、図の左方向から右方向へのシフト動作に対応する。また、信号Rがローレベルであり、且つ信号Lがハイレベルである場合は、その反対で、図面の右方向から左方向へのシフト動作に対応する。

【0030】ここで、シフトレジスタ11～14の出力信号SR1～SRnのうちの、ある出力信号SRj(jは1以上の整数)を例に挙げて説明する。図の左方向から右方向へシフトさせる場合は、右シフト用クロックドインバータ51c～5ncは、出力信号SRjより1本

20 後の信号SRj+1の反転信号SRj+1バーをANDゲート51b～5nbへ出力する。ANDゲート51b～5nbには、信号SRjと反転信号SRj+1バーとが入力されることとなり、両者の論理積の信号Sa jを出力する。一方、図の右方向から左方向へシフトさせる場合は、左シフト用クロックドインバータ51d～5ndは、出力信号SRjより1本前の信号SRj-1の反転信号SRj-1バーをANDゲート51b～5nbへ出力する。ANDゲート51b～5nbには、信号SRjと反転信号SRj-1バーとが入力されることとなり、両者の論理積の信号Sa jを出力する。

【0031】このようにして得られた出力信号Sa1～Sanを、NMOSで形成されたサンプリングアナログスイッチ21～2nに入力し、ON/OFF制御する。ONの時にはスイッチ21～2nを導通させて、スイッチ21～2nと接続されたサンプリングコンデンサ41～4nをビデオ信号Videoの電圧まで充電する。その後、サンプリングコンデンサ41～4nは、対応するスイッチ21～2nがONからOFFに切り替わる時点におけるビデオ信号Videoの電圧レベルをそのまま保持する。この保持された電圧が、液晶表示装置のデータ信号線S1～Snへの入力信号となる。

【0032】上述のように動作するソースドライバにおいては、サンプリングアナログスイッチ21～2nを制御する信号Sa1～Sanは、制御信号発生手段51～5nにより、図5及び図7のタイムチャートに示すように、1/8τ0のパルス幅を有する信号となっている。そのため、2つ以上のサンプリングアナログスイッチ21～2nが同時に導通することはなく、ビデオ信号配線30に対する負荷は、常にただ1個のサンプリングコンデンサ41～4nの容量となる。よって、第1実施例と

同様に、RC積分回路の作用によるビデオ信号Videoの波形くずれ(波形なまり)を従来よりも小さく抑えることができ、水平解像度の高い表示を行うことが出来る。

【0033】本実施例の制御信号発生手段51～5nにおいて、シフトレジスタ11～14の出力信号SR1～SRnのうちの、ある出力信号SRjと組み合わせて論理積をとる信号は、その出力信号SRjと同時にアクティブを出力している期間を有する信号の反転信号であればよく、右方向へのシフトであれば、例えば2本後の出力信号SRj+2の反転信号SRj+2バー等、左方向へのシフトであれば、例えば2本前の出力信号SRj-2の反転信号SRj-2バー等にしてもよい。このような場合、信号SRjと信号SRj+2バーとの論理積をとる場合は、2個のサンプリングアナログスイッチ2j及び2j+1が同時に導通となり、信号SRjと信号SRj-2バーとの論理積をとる場合では、2個のサンプリングアナログスイッチ2j及び2j-1が同時に導通となる。しかし、従来例と比べるとその数は減っており、やはり水平解像度の向上効果が期待できる。

【0034】上記第1及び第2実施例において、ANDゲート51b～52nは、論理積を得られる他の方式に置き換えることが可能であり、例えばNORゲート等でもよい。又、シフトレジスタ11～14は4系統に限られるものではなく、本発明は2系統以上のシフトレジスタを有するソースドライバであれば適用することが可能である。

【0035】

【発明の効果】以上の説明から明らかなように、本発明の表示装置の駆動回路によれば、複数系統のシフトレジスタによってシフトレジスタの動作速度を低減するとともに、ビデオ信号の波形をくずすことなく水平解像度の

高い、ドライバモノリシック液晶表示装置を用いた表示を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1実施例であるソースドライバの構造図である。

【図2】図1に示すソースドライバに使用するシフトレジスタの内部構成を示す回路図である。

【図3】図1及び図6に示すソースドライバに使用する双方方向シフト対応のシフトレジスタの内部構成を示す回路図である。

【図4】図2に示すシフトレジスタの動作を示すタイムチャートである。

【図5】図1に示すソースドライバの動作を示すタイムチャートである。

【図6】本発明の第2実施例であるソースドライバの構造図である。

【図7】図7に示すソースドライバの動作を示すタイムチャートである。

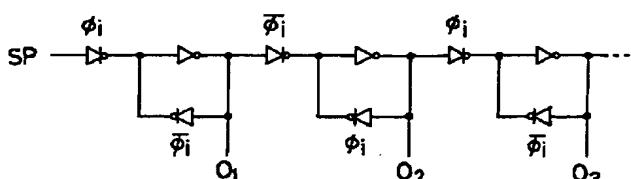
【図8】従来のソースドライバの構成図である。

【図9】図8に示す従来のソースドライバの動作を示すタイムチャートである。

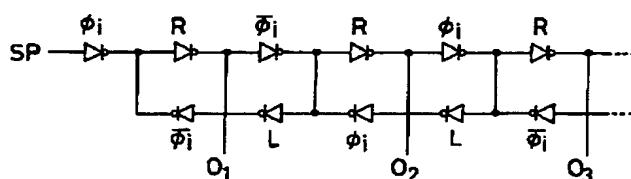
【符号の説明】

11～14	シフトレジスタ
21～2n	サンプリングアナログスイッチ
30	ビデオ信号配線
41～42	サンプリングコンデンサ
51～52	制御信号発生手段
51a～59a	インバータ
51b～5nb	ANDゲート
51c～5nc	右シフト用クロックドインバータ
51d～5nd	左シフト用クロックドインバータ

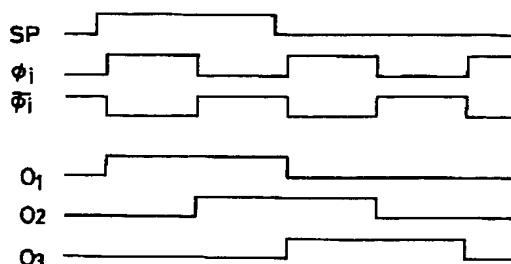
【図2】



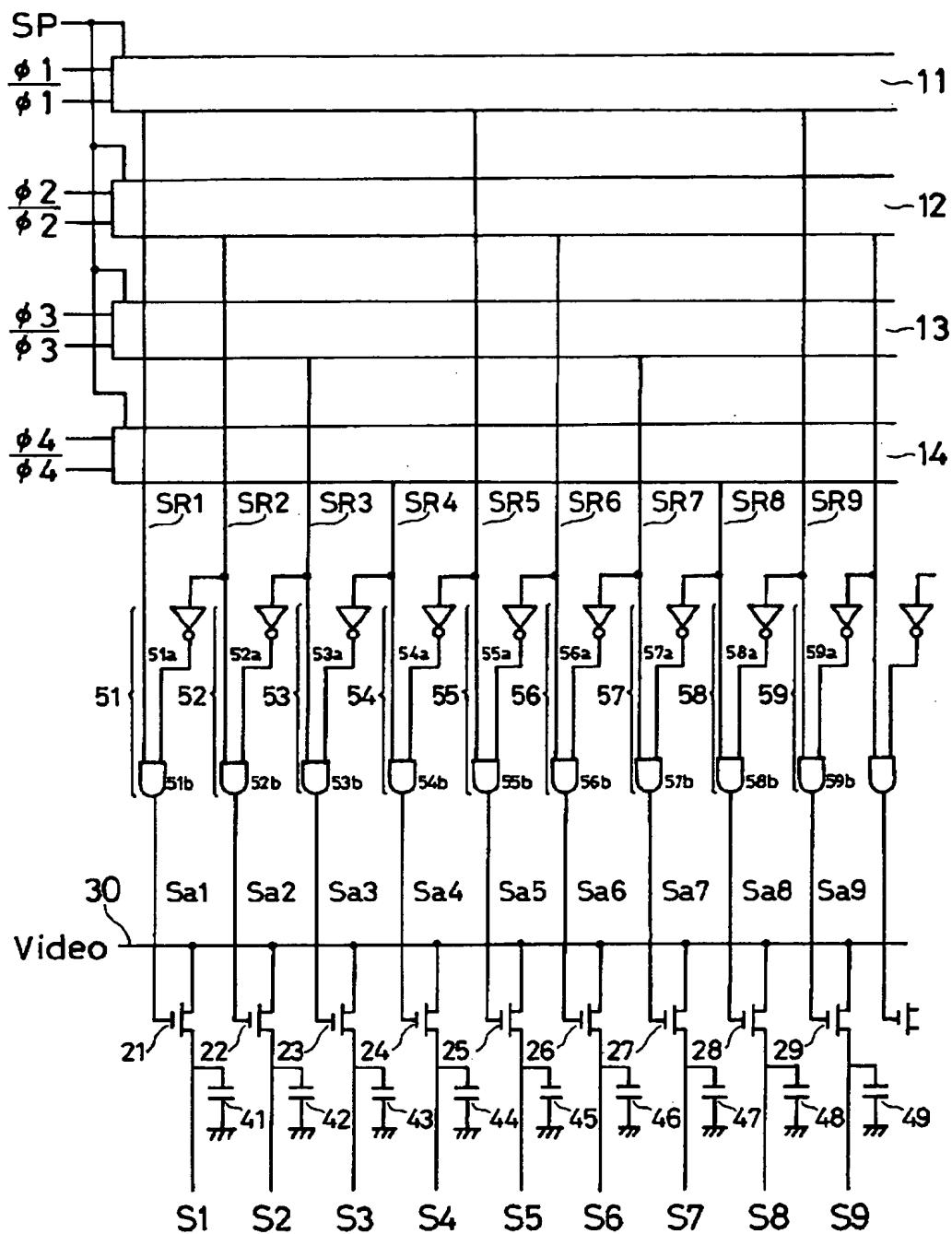
【図3】



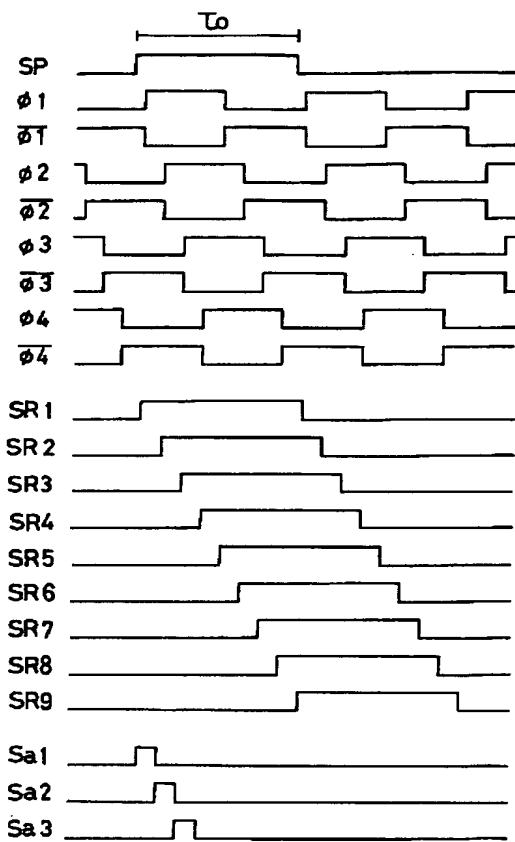
【図4】



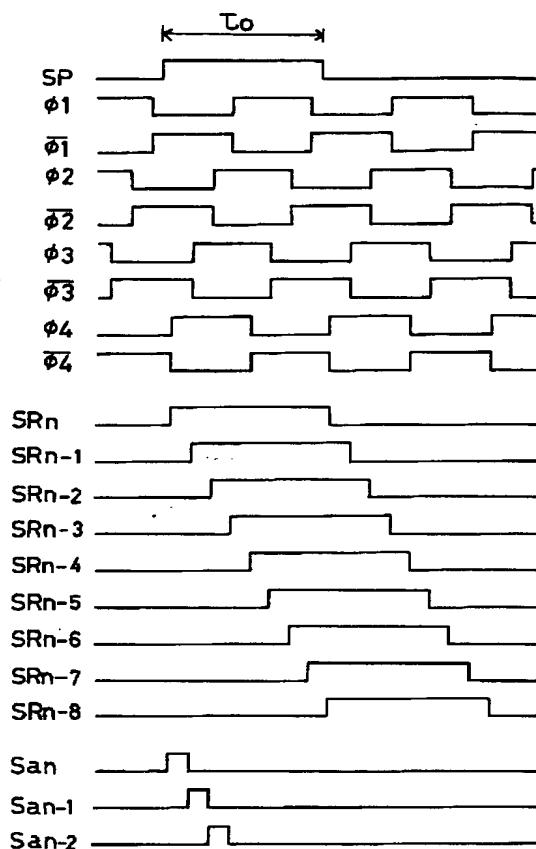
[図 1]



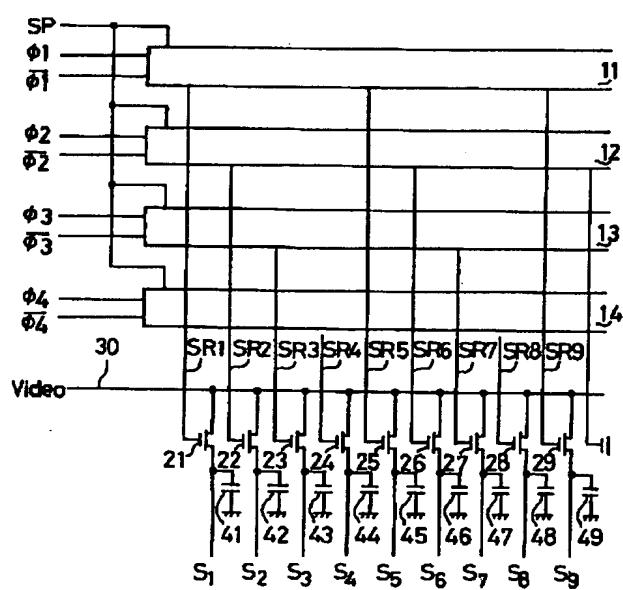
【図 5】



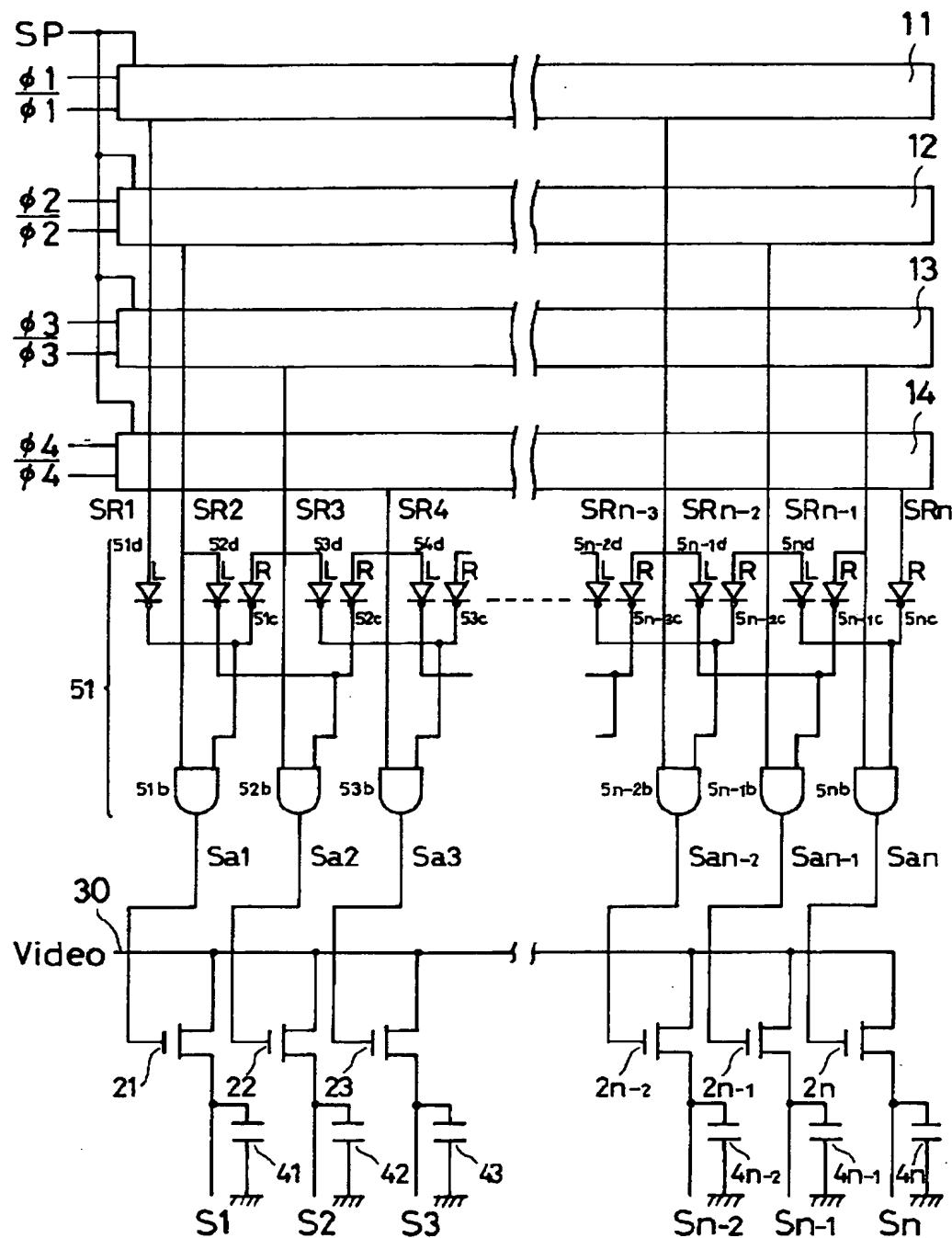
【図 7】



【図 8】



【図6】



【図 9】

